

(43) Date of publication of application: 31.07.97

(21) Application number: 08004932

(71) Applicant: **TOSHIBA CORP**

(22) Date of filing: 16.01.96

(72) Inventor: **HAYASHI YASUHIRO**

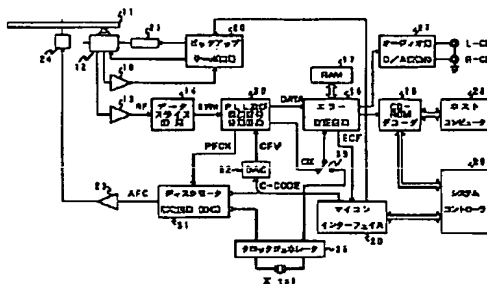
**(54) SIGNAL PROCESSING CIRCUIT AND  
REPRODUCING DEVICE USING THE SAME**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To set the optimum reproducing speed for every disk with a simple constitution.

**SOLUTION:** A disk 1 is irradiated with a laser beam from a pickup head 12, and data is read out by detecting the reflected light. The data is binarized by a data slice circuit 14, and a synchronizing clock and a synchronizing signal are extracted by a PLL and a synchronizing signal separating circuit 30. Center frequencies of voltage control oscillators of the PLL and the synchronizing signal separating circuit 30 are varied continuously in accordance with control voltage CFV. A disk motor control circuit 31 varies continuously the rotational speed of the disk 11 in accordance with a control instruction from a system controller 29. The disk 11 rotates with the maximum rotational speed capable of normally reproducing data, and characteristics of the voltage control oscillator are varied in accordance with the rotational speed of the disk 11.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 1 9 8 7 8 4

(43) 公開日 平成9年(1997)7月31日

(51) Int. Cl. <sup>6</sup>

G 1 1 B 19/28

識別記号

庁内整理番号

F I

G 1 1 B 19/28

B

技術表示箇所

審査請求 未請求 請求項の数 8

O L

(全 1 1 頁)

(21) 出願番号 特願平8-4932

(22) 出願日 平成8年(1996)1月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 林 泰弘

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

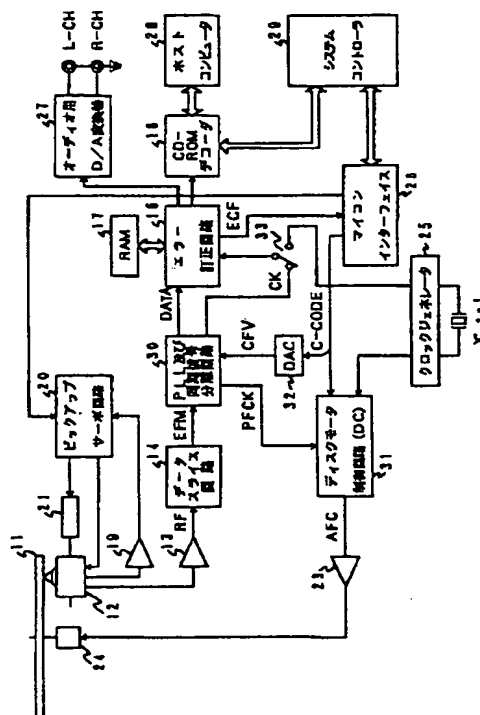
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 信号処理回路及びこれを用いた再生装置

(57) 【要約】

【課題】 簡単な構成でディスクごとに最適な再生速度を設定する。

【解決手段】 ピックアップヘッド12からディスク11にレーザ光が照射され、その反射光を検出することによりデータが読み出される。データは、データスライス回路14で2値化され、PLL及び同期信号分離回路30で同期クロック及び同期信号が抽出される。PLL及び同期信号分離回路30の電圧制御発振器は、制御電圧CFVに応じてそのセンター周波数が連続的に変化する。ディスクモータ制御回路31は、システムコントローラ29からの制御命令に応じてディスク11の回転速度を連続的に変化させる。ディスク11は、データの再生が正常に行われる最高の回転速度で回転し、電圧制御発振器の特性は、ディスク11の回転速度に応じて変化する。



## 【特許請求の範囲】

【請求項1】 制御電圧に応じてセンター周波数を連続的に変化させることが可能な電圧制御発振器を有し、ディスクから読み出されたデータに基づいて同期クロック及び同期信号を抽出するPLL・同期信号分離手段と、前記ディスクを回転させ、制御命令に応じて前記ディスクの回転速度を連続的に変化させるディスクモータ制御手段と、

前記制御命令を前記制御電圧に変換する変換手段とを具備し、

前記電圧制御発振器は、出力周波数が前記センター周波数となるように制御されることを特徴とする信号処理回路。

【請求項2】 前記ディスクモータ制御手段は、前記データの再生が正常に行われる最高の回転速度で前記ディスクを回転させることを特徴とする請求項1に記載の信号処理回路。

【請求項3】 請求項1に記載の信号処理回路において、

前記ディスクから読み出されたデータを2値化してEFM信号を生成し、このEFM信号を前記PLL・同期信号分離手段に与えるデータスライス手段を備えることを特徴とする信号処理回路。

【請求項4】 請求項1に記載の信号処理回路において、

前記データ（前記同期クロック及び前記同期信号を除く）を格納するメモリ手段と、前記同期クロックに基づいて動作し、前記データ（前記同期クロック及び前記同期信号を除く）のエラー訂正処理を行い、訂正フラグ及び補正フラグを生成するエラー訂正手段とを備えることを特徴とする信号処理回路。

【請求項5】 前記ディスクモータ制御手段は、基準クロック、前記同期信号及び前記制御命令に基づいて、前記ディスクの回転速度を決定することを特徴とする請求項1に記載の信号処理回路。

【請求項6】 ディスクからデータを読み出すピックアップ手段と、

制御電圧に応じてセンター周波数を連続的に変化させることが可能な電圧制御発振器を有し、ディスクから読み出されたデータに基づいて同期クロック及び同期信号を抽出するPLL・同期信号分離手段と、

前記ディスクを回転させ、制御命令に応じて前記ディスクの回転速度を連続的に変化させるディスクモータ制御手段と、

前記制御命令を前記制御電圧に変換する変換手段と、

前記制御命令を生成するシステムコントローラとを具備し、

前記電圧制御発振器は、出力周波数が前記センター周波数となるように制御されることを特徴とする再生装置。

【請求項7】 請求項6に記載の再生装置において、

前記データ（前記同期クロック及び前記同期信号を除く）を格納するメモリ手段と、前記同期クロックに基づいて動作し、前記データ（前記同期クロック及び前記同期信号を除く）のエラー訂正処理を行い、訂正フラグ及び補正フラグを生成するエラー訂正手段とを備え、前記システムコントローラは、前記訂正フラグ及び前記補正フラグを読み取り、この情報に基づいて前記制御命令を生成することを特徴とする再生装置。

【請求項8】 前記システムコントローラは、前記エラー訂正手段において前記データの訂正処理を行うことが可能な最高の回転速度で前記ディスクを回転させるような前記制御命令を前記ディスクモータ制御手段に与えることを特徴とする請求項7に記載の再生装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特に、CD-ROMドライブシステムにおける再生装置の改良に関する。

【0002】

【従来の技術】図11は、CD-ROMドライブシステムにおける従来の再生装置の構成を示すものである。ピックアップヘッド12は、ディスク11の表面にレーザ光を照射すると共に、ディスク11からの反射光を検出し、この反射光を電気信号に変換する。ピックアップヘッド12の出力信号は、アンプ13を経由してRF信号となり、このRF信号は、データスライス回路14に入力される。

【0003】データスライス回路14は、RF信号を2値化する機能を有する。なお、データスライス回路14により2値化されたデータは、EFM (Eight to Fourteen Modulation) 信号と呼ばれる。

【0004】EFM信号は、PLL及び同期信号分離回路15に入力される。PLL及び同期信号分離回路15は、EFM信号から同期信号PCK、同期クロックCK及びデータ信号DATAを生成する。データ信号DATA及び同期クロックCKは、エラー訂正回路16に入力される。エラー訂正回路16では、訂正用RAM17を使用してエラー訂正処理が行われる。

【0005】ここで、CD-ROMフォーマットのディスクのデータを再生しているときは、通常、2倍速以上の速度で再生装置を動作させることが多い。訂正されたデータは、CD-ROMデコード18に転送される。この時、訂正処理系のクロックは、クロックセクタ33によりPLL系のクロックCKに切り換えられている。

【0006】なお、CD-ROMのデータを読み出す際に、エラー訂正回路16をPLL系のクロックCKで動作させると、高速データ読み出しを実現することができる。これについては、例えば特願平6-339463号（平成6年12月29日出願）に詳細に記載されている。

【0007】CD-ROMデコード18は、CD-ROM

Mのデータの訂正、バッファリングを行った後に、データをホストコンピュータ28に高速転送する。デジタルオーディオ信号が記憶されているディスクを再生している時は、オーディオ用D/A変換器27にデータが入力され、出力端子から1倍速でオーディオデータが出力される。

【0008】この時、クロックセクタ33は、クロックジェネレータ25で生成されるクリスタル系のクロックをエラー訂正回路16に供給するため、良質のオーディオデータが得られる。

【0009】PLL及び同期信号分離回路15において抽出された同期信号は、ディスクモータ制御回路22に送られ、クロックジェネレータ25のクロックと比較される。ディスクモータ制御回路22は、その比較結果に基づいて、ディスクを回転させるための駆動信号AFC（自動速度制御信号）を出力する。

【0010】ドライバ23は、駆動信号AFCに基づいて、所定の再生速度に合致するようにディスクモータ24を駆動する。システムコントローラ29は、エラー訂正回路16で訂正処理が行われ、この訂正処理で得られた訂正フラグや補正フラグ（エラー訂正フラグECF）をマイコンインターフェイス26を経由して読み取る。

【0011】この情報によって、システムコントローラ29は、高速再生が不可能と判断すると、再生速度を下げるという処理を行う。また、ピックアップ12から読み出されるサーボ系の信号は、アンプ19を通してピックアップサーボ回路20へ送られ、イコライジング処理が施された後に、ピックアップ12のアクチュエータ及びピックアップ送りモータ21を駆動する。

【0012】システムコントローラ29は、CD-ROMデコーダ18の制御を行うと共に、マイコンインターフェイス26を通してピックアップサーボ回路20の制御を行う。

【0013】一般に、再生速度を変化させる場合、LSIには、クロックジェネレータ25により生成されるクロックを基準として $1/2^n$ の再生速度が実現できるような構成が備えられていることが多い。つまり、最大速度が4倍であれば、2倍、1倍といった再生速度が実現できる。

【0014】

【発明が解決しようとする課題】元来、CDシステムは、オーディオ再生システムである。このため、ディスクは、1倍速で回転させるのが普通であった。しかし、CDシステムがCD-ROMドライブに応用される場合、データの転送レートが一般のコンピュータの記憶メディアに比較して遅い。

【0015】そこで、最近の大容量の動画データの再生処理を考え、データの転送レートを上げることが重要な課題となってきた。最近では、4倍速の再生機は普通に回っており、4倍速から6倍速、さらには8倍速

へと、転送レート的高速化は留まるところを知らない状況になっている。

【0016】しかし、再生速度を変化させる場合、従来は、上述のようにディスクの回転数が最高周波数に対して $1/2^n$ の再生速度（例えば、4倍速、2倍速、1倍速）のみしか実現することができない。

【0017】また、CDのディスク規格は、一般に、1倍速を想定して決められているため、極端に偏心のあるものや、ピット成形に異常のあるものは、4倍速や6倍速といった高速回転では、シーク性能が劣化し、十分に再生ができなくなる欠点がある。

【0018】このように、従来のCDシステムでは、このような偏心やピット成形に異常があるディスクに対しては、高速回転でデータを再生することが不可能なため、例えば4倍速から2倍速、さらには1倍速へとデータの転送レートを極端に（不連続的に）低下させなければならなかった。

【0019】それ故、シーク時間も低速時は長くなり、高速再生対応のCD-ROMドライブとしての特徴を100%発揮することができないという欠点があった。一方、水晶発振器を変えるか又はVCO（電圧制御発振器）を設けることにより、最高周波数に対して $1/2^n$ の再生速度のみならず、その中間の再生速度で、ディスクを回転させることもできる。

【0020】しかし、例えば、VCOを用いてデータの再生速度（データ転送レート）を変えようとする場合、VCOのセンター周波数が固定されていると、VCOのセンター周波数の±50%の可変幅においてしかデータ転送レートの変化に対応できない。

【0021】従って、再生速度の変化によりデータ転送レートが変化した場合に、VCOの出力周波数に対して高い方のダイナミックレンジと低い方のダイナミックレンジが不均一になり、この後、シークを行うと、データ転送レートの変化に対して安定にPLLループがロックされなくなるという欠点がある。

【0022】本発明は、上記欠点を解決すべくなされたもので、その目的は、基準の水晶発振子を1つ使用するだけで、連続的（最高周波数に対して $1/2^n$ の再生速度のみならず、その中間の再生速度を実現すること）に再生速度を可変することが可能であり、かつ、高速再生時においてもシーク性能を劣化させることがないような信号処理回路及びこれを用いた再生装置を提供することである。

【0023】

【課題を解決するための手段】上記目的を達成するため、本発明の信号処理回路は、制御電圧に応じてセンター周波数を連続的に変化させることが可能な電圧制御発振器を有し、ディスクから読み出されたデータに基づいて同期クロック及び同期信号を抽出するPLL・同期信号分離手段と、前記ディスクを回転させ、制御命令に応

じて前記ディスクの回転速度を連続的に変化させるディスクモータ制御手段と、前記制御命令を前記制御電圧に変換する変換手段とを備え、前記電圧制御発振器は、出力周波数が前記センター周波数となるように制御される。

【0024】前記ディスクモータ制御手段は、前記データの再生が正常に行われる最高の回転速度で前記ディスクを回転させる。本発明の信号処理回路は、さらに、前記ディスクから読み出されたデータを2値化してEFM信号を生成し、このEFM信号を前記PLL・同期信号分離手段に与えるデータスライス手段を備える。

【0025】本発明の信号処理回路は、さらに、前記データ（前記同期クロック及び前記同期信号を除く）を格納するメモリ手段と、前記同期クロックに基づいて動作し、前記データ（前記同期クロック及び前記同期信号を除く）のエラー訂正処理を行い、訂正フラグ及び補正フラグを生成するエラー訂正手段とを備える。

【0026】前記ディスクモータ制御手段は、基準クロック、前記同期信号及び前記制御命令に基づいて、前記ディスクの回転速度を決定する。本発明の再生装置は、ディスクからデータを読み出すピックアップ手段と、制御電圧に応じてセンター周波数を連続的に変化させることが可能な電圧制御発振器を有し、ディスクから読み出されたデータに基づいて同期クロック及び同期信号を抽出するPLL・同期信号分離手段と、前記ディスクを回転させ、制御命令に応じて前記ディスクの回転速度を連続的に変化させるディスクモータ制御手段と、前記制御命令を前記制御電圧に変換する変換手段と、前記制御命令を生成するシステムコントローラとを備え、前記電圧制御発振器は、出力周波数が前記センター周波数となるように制御される。

【0027】本発明の再生装置は、さらに、前記データ（前記同期クロック及び前記同期信号を除く）を格納するメモリ手段と、前記同期クロックに基づいて動作し、前記データ（前記同期クロック及び前記同期信号を除く）のエラー訂正処理を行い、訂正フラグ及び補正フラグを生成するエラー訂正手段とを備え、前記システムコントローラは、前記訂正フラグ及び前記補正フラグを読み取り、この情報に基づいて前記制御命令を生成する。

【0028】前記システムコントローラは、前記エラー訂正手段において前記データの訂正処理を行うことが可能な最高の回転速度で前記ディスクを回転させるような前記制御命令を前記ディスクモータ制御手段に与える。

【0029】

【発明の実施の形態】以下、図面を参照しながら、本発明の再生装置について詳細に説明する。図1は、本発明の実施の形態に関わる光ディスク再生装置を示すものである。ピックアップヘッド12は、ディスク11の表面にレーザ光を照射すると共に、ディスク11からの反射光を検出し、この反射光を電気信号に変換する。ピック

アップヘッド12の出力信号は、アンプ13を経由してRF信号となり、このRF信号は、データスライス回路14に入力される。

【0030】データスライス回路14は、RF信号を2値化する機能を有する。なお、データスライス回路14により2値化されたデータは、EFM信号と呼ばれる。EFM信号は、PLL及び同期信号分離回路30に入力される。PLL及び同期信号分離回路30は、EFM信号から同期信号PFCK、同期クロックCK及びデータ信号DATAを生成する。同期クロックCK及びデータ信号DATAは、エラー訂正回路16に入力される。エラー訂正回路16では、訂正用RAM17を使用してエラー訂正処理が行われる。

【0031】ここで、CD-ROMフォーマットのディスクのデータを再生しているときは、通常、2倍速以上の速度で再生装置を動作させることが多い。訂正されたデータは、CD-ROMデコーダ18に転送される。この時、訂正処理系のクロックは、クロックセクタ33によりPLL系のクロックCKに切り換えられている。

【0032】なお、CD-ROMのデータを読み出す際に、エラー訂正回路16をPLL系のクロックCKで動作させると、高速データ読み出しを実現することができる。CD-ROMデコーダ18は、CD-ROMのデータの訂正、バッファリングを行った後に、データをホストコンピュータ28に高速転送する。

【0033】デジタルオーディオ信号が記憶されているディスクを再生している時は、オーディオ用D/A変換器27にデータが入力され、出力端子から1倍速でオーディオデータが出力される。

【0034】この時、クロックセクタ33は、クロックジェネレータ25で生成されるクリスタル系のクロックをエラー訂正回路16に供給するため、良質のオーディオデータが得られる。

【0035】PLL及び同期信号分離回路30において抽出された同期信号PFCKは、ディスクモータ制御回路31に送られ、クロックジェネレータ25のクロックと比較される。ディスクモータ制御回路31は、その比較結果に基づいて、ディスクを回転させるための駆動信号AFCを出力する。

【0036】ドライバ23は、駆動信号AFCに基づいて、所定の再生速度に合致するようにディスクモータ24を駆動する。システムコントローラ29は、エラー訂正回路16で訂正処理が行われ、この訂正処理で得られた訂正フラグや補正フラグ（ECF）をマイコンインターフェイス26を経由して読み取る。

【0037】この情報によって、システムコントローラ29は、高速再生が不可能と判断すると、再生速度を下げるという処理を行う。また、ピックアップ12から読み出されるサーボ系の信号は、アンプ19を通してピックアップサーボ回路20へ送られ、イコライジング処理

が施された後に、ピックアップ12のアクチュエータ及びピックアップ送りモータ21を駆動する。

【0038】システムコントローラ29は、CD-ROMデコーダ18の制御を行うと共に、マイコンインターフェイス26を通してピックアップサーボ回路20の制御を行う。

【0039】本発明の再生装置は、可変速再生技術（例えば、特願平6-339463号（平成6年12月29日出願）の図2参照）を利用している。しかし、この可変速再生技術のみをもってしては、本発明の目的を達成することはできない。

【0040】なぜならば、定常時におけるディスクの回転を自由かつ連続的（最高周波数に対して $1/2^n$ の再生速度のみならず、その中間の再生速度を実現すること）に変化させるためには、ディスクモータ系の基準回転数を自由かつ連続的に変化させる手段を設ける必要があり、また、高速回転時のシーク性能を劣化させないためには、有限な可変レンジ幅しか持たないPLL内のVCOの特性を、連続的な再生速度に応じて常に変化させる必要があるからである。

【0041】そこで、システムコントローラ29からの再生速度（回転制御）命令に応じて、ディスクモータ系の回転数の基準値を変化させると同時に、この命令でPLL系のVCO特性も変化させるように構成している。

【0042】即ち、システムコントローラ29は、エラー訂正回路16において訂正処理が行われ、この訂正処理により得られた訂正フラグや補正フラグ（エラー訂正フラグECF）をマイコンインターフェイス26を通して読み取る。

【0043】この情報によって、システムコントローラ29は、高速再生が不可能と判断すると、再生速度を下げるという処理を行う。従来は、再生速度を下げる処理を行う際、再生速度を大幅に（不連続に）下げているが、本発明では、再生速度を大幅に（不連続に）下げることなく、データの読み取りが可能なところまで連続的に下げる。

【0044】システムコントローラ29は、エラー訂正フラグECFをモニタし、この値によってディスクモータ制御回路31を制御する。ディスクモータ制御回路31には、マイコンインターフェイス26を通して回転速度（再生速度）を制御する信号C-CODEが転送される。

【0045】また、この信号C-CODEは、DA変換器32によりアナログ信号（制御電圧CFV）に変換された後にPLL及び同期信号分離回路30内のVCOの特性を変化させる。

【0046】上述のように、本願発明は、定常時におけるディスクの回転を自由かつ連続的に変化させると共に、そのディスクの回転数に応じてPLLのVCOの特性を変化させている点に特徴がある。

【0047】まず、定常時におけるディスクの回転を自由かつ連続的に変化させる手段について説明する。図2は、ディスクモータ制御回路31の一例を示すものである。

【0048】PLL及び同期信号分離回路から出力された同期信号PFCKは、1倍、2倍、4倍、8倍を選択するセレクト51でセレクトされ、タイミングジェネレータ52に入力される。

【0049】ここで、同期信号PFCKは、CDシステムの場合、1倍速で7.35kHzである。また、再生速度が2倍、4倍、8倍になれば、入力データレートも上がるため、PLL及び同期信号分離回路から出力される同期信号PFCKの周波数も2倍、4倍、8倍になる。

【0050】そこで、セレクト51は、例えば8倍を選択したときには、同期信号PFCKの周波数を $1/8$ にするように構成している。従って、所定の再生速度（1倍、2倍、4倍、8倍）が設定された場合には、ディスクモータ制御回路により計測される周波数は、常に7.35kHzとなる。

【0051】また、システムコントローラからの制御命令C-CODEにより、所定の再生速度（1倍、2倍、4倍、8倍）の中間の再生速度が設定された場合、又はディスクの極端な偏心などによるシークが行われた場合には、制御命令C-CODEに応じてPLL及び同期信号分離回路から出力されてディスクモータ制御回路により計測される周波数は、データ転送レートに応じて7.35kHzよりも高くなるか又は低くなる。

【0052】タイミングジェネレータ52では、同期信号PFCKのパルスのエッジに基づいて、11ビットアップカウンタ53の値をラッチしたり、又はクリアしたりするパルスを生成すると共に、同期信号PFCKの周期を計測する。

【0053】例えば、同期信号PFCK（7.35kHz）の周期を計測するにあたり、CDシステムで一般的な水晶系の周波数4.2336MHz（タイミングジェネレータ57の出力）でカウントすると、576クロックとなる。

【0054】11ビットアップカウンタ53の下位8ビット（カウント値）は、11→8デコーダ54を経由してPWM変換回路55に取り込まれる。11→8デコーダ54は、カウント値が1024以下のものを8ビットデータで最小値“0”に変換し、カウント値が1279以上のものを8ビットデータで最大値“255”にするためのものである。もちろん、11→8デコーダ54は、カウント値が1024から1279のものについては、8ビットデータで0～255に変換して、PWM変換回路55に出力する。

【0055】11→8デコーダ54の特性は、図3に示すように、11ビットアップカウンタ53のカウント値

1152をセンターにし、そのセンター値から±128ステップの範囲において、線形なデータ変換領域を得ることができるように設定されている。

【0056】PWM変換回路55は、8ビットデータで、128（カウント値1152）のときは、現状の再生速度を維持するようなAFC信号を出力し、128を越えるとき（カウント値1152を越えるとき）は、加速、128を下回るとき（カウント値1152を下回るとき）は、減速するようなAFC信号を出力するように設定されている。

【0057】即ち、PWM変換回路55では、8ビットデータがパルス幅変調（Pulse Width Modulation）され、ロジック回路58を通してディスクモータの回転数を制御するAFC信号として出力される。

【0058】プリセットデータデコーダ56は、11ビットアップカウンタ53の初期値となるプリセット値が設定されるものであり、システムコントローラからの制御命令C-CODEに応じてプリセット値が変更される。

【0059】ここで、例えばC-CODE“8”、PFCK=7.35kHzのとき、プリセットデコーダ56に、11ビットアップカウンタ53のプリセット値として576が設定されるような場合について考える。この場合、11ビットアップカウンタ53では、同期信号PFCKの周期期間内に1152（プリセット値576+576）までカウントされることから、再生速度は変化しないように制御される。従って、この場合、プリセット値576は、再生速度が1倍、2倍、4倍、8倍のときの基準プリセット値となる。

【0060】この時、C-CODEを変化させ、プリセット値を基準プリセット値（576）よりも大きい値に設定すると、当初は、1152よりも大きな値までカウントされるため、再生速度は上がる方向に制御される。再生速度が上がると、同期信号PFCKの周期が短くなるため、カウント値の上限は次第に小さくなり、最終的には、1152までカウントされることになり、再生速度がC-CODEで決められたプリセット値に応じた値になる。

【0061】逆に、C-CODEを変化させ、プリセット値を基準プリセット値（576）よりも小さい値に設定すると、当初は、1152よりも小さな値までしかカウントされないため、再生速度は下がる方向に制御される。再生速度が下がると、同期信号PFCKの周期が長くなるため、カウント値の上限は次第に大きくなり、最終的には、1152までカウントされることになり、再生速度がC-CODEで決められたプリセット値に応じた値になる。

【0062】このように、制御命令C-CODEの値に応じてプリセット値を変化させることにより、再生速度（ディスクの回転速度）を自由かつ連続的に変化させる

ことができる。

【0063】図4は、システムコントローラ29の制御命令C-CODEとディスクスピードの関係を示すものである。システムコントローラは、エラー訂正回路から出力されるエラー訂正フラグECFに基づいて制御命令C-CODEを設定する。即ち、エラー訂正フラグECFは、データのエラー率を示しているため、このエラー訂正フラグECFを見ることで、データの品位を判断することができる。

10 【0064】つまり、一定の品位を保ちつつデータを読み取ることができるディスクの回転速度の限界を設定し、この限界を越えたときに制御命令C-CODEを変えてディスクの回転速度を下げるように制御する。また、制御命令C-CODEを変えてディスクの回転速度を上げるように制御し、一定の品位を保ちつつデータを読み取ることができる最大のディスクの回転速度でデータを読み出す。

20 【0065】システムコントローラは、制御命令C-CODEを変えることにより、各倍速再生モード（1倍、2倍、4倍、8倍）において、中心速度（C-CODE＝“8”）に対して±50%までディスクの回転速度を連続的に変化させることができる。

【0066】同図からわかることは、従来、1倍、2倍、4倍、8倍という2<sup>n</sup>倍のときとびの値しか実現できなかった再生速度が、本発明では、システムコントローラからの制御命令C-CODEのみで、2<sup>n</sup>倍のときとびの値に加えて、その中間の再生速度でデータを転送することができるようになったことである。

30 【0067】なお、各倍速再生モードでは、互いに若干のオーバーラップ領域を持っているので、再生速度の絶対値としては、全体で0.5倍速から最大12倍速まで連続的に回転速度を変化させることができる。

【0068】次に、ディスクの回転数に応じてPLLのVCOの特性を変化させる手段について説明する。VCOを用いてデータの再生速度を連続的に変えようとする場合、高速再生時におけるシーク性能の向上を図るためには、VCOのセンター周波数を可変にすることが必要である。

40 【0069】図5は、PLL及び同期信号分離回路30の一例を示すものである。データスライス回路から出力されるEFM信号は、位相比較器40とTMAX検出器41にそれぞれ入力される。ここで、位相比較器40は、同期クロックCKとの位相を比較する回路であり、TMAX検出器41は、CDフォーマットに基づくEFM信号内部に含まれる最大長の信号（EFM信号の場合は11T。なお、1倍速の場合、1T=1/4.32MHzとなる。）TMAXを検出する回路である。

50 【0070】TMAX検出器41の分解能を上げるため、分周器46が設けられ、TMAX検出器41は、同期クロックCKの2倍の周波数で計測される。位相比較

器40の出力信号とTMAX検出器41の出力信号は、ローパスフィルタ42で加算され、電圧信号CVとなり、VCO43を制御する。

【0071】VCO43の発振出力 $f_{out}$ は、1倍、2倍、4倍、8倍を切り替えるための分周器44とセクタ45に入力される。VCO43の発振出力は $f_{out}$ は、分周器44、セクタ45及び分周器46を経由して同期信号分離器47に入力される。同期信号分離器47では、同期信号PFCKを生成し、出力する。

【0072】なお、VCO43には、CFVという電圧10が入力される。このCFVは、システムコントローラからの制御命令C-CODEに応じて変化する電圧である。図7は、VCOの一例を示すものである。図8は、図7のVCOを構成する回路の一部の等価回路を示すものである。

【0073】CMOS・LSI内部で作られるVCOとしては、図7に示すようなリング発振器によるものが一般的である。Pチャネル型MOSトランジスタP1とNチャネル型MOSトランジスタN1で構成された回路60は、可変抵抗器とキャパシタからなる遅延回路61に20等価である。

【0074】Pチャネル型MOSトランジスタP1のゲート電極とNチャネル型MOSトランジスタN1のゲート電極のバイアスを変化させることで、当該遅延回路61の遅延量を制御することができる。この遅延回路61（即ち回路60）をN段直列に接続し、その出力を反転して入力に戻すことにより、リング発振器の発振周波数を制御することができる。

【0075】本実施例においては、Pチャネル型MOSトランジスタP1のゲートに制御電圧CFVを入力し、Nチャネル型MOSトランジスタN1のゲートに図5のローパスフィルタ42の出力電圧CVを入力すると、制御電圧CFV及び入力電圧CVに応じて、図6に示すような所定の特性を実現することができる。

【0076】図6は、CFV電圧が変化したときのVCOにおける入力電圧CVと出力周波数 $f_{out}$ の特性を示すものである。CFV電圧がPLLループの基準値VR（例えば2.0V）とすると、CFV=2.0Vのときは、VCOの特性は、（a）に示すように、センター周波数が68MHzになるように動作し、約±50%の可変幅を持っている。

【0077】即ち、定常状態からのシーク動作などによって、入力データレートが約±50%変化しても、PLLループはロックすることができ、データの読み取りが可能である。

【0078】また、制御命令C-CODEによりディスクの回転数（データ転送レート）を上げる場合には、入力データレートが上がり、入力電圧CVが上がるため、出力周波数 $f_{out}$ も上がる（α点）。

【0079】しかし、このままではVCOのセンター周

波数が68MHzなので、出力周波数 $f_{out}$ に対して高い方のダイナミックレンジと低い方のダイナミックレンジが不均一になり、この後、シークを行うと、データ転送レートの変化に対して安定にPLLループがロックされなくなる。

【0080】そこで、システムコントローラは、制御命令C-CODEによりディスクの回転数を上げると同時に、ディスクの回転数を上げた後のVCOの出力周波数 $f_{out}$ がセンター周波数となるように特性を変化させる。

【0081】即ち、CFVをVRよりも下げることにより、図7及び図8に示した遅延回路で構成したリング発振器のPチャネル型MOSトランジスタP1のゲート電位が下がり、遅延回路1段あたりの遅延時間が短くなる。その結果、（a）の特性は、周波数が高い側にシフトし、（b）に示す特性となる。

【0082】従って、この状態から、ディスクの偏心などに起因する定常状態からのシーク動作が行われても、入力データレートの約±50%の変化に対してPLLループをロックさせることができる。

【0083】同様に、制御命令C-CODEによりディスクの回転数（データ転送レート）を下げる場合には、入力データレートが下がり、入力電圧CVが下がるため、出力周波数 $f_{out}$ も下がる（β点）。

【0084】しかし、このままではVCOのセンター周波数が68MHzなので、出力周波数 $f_{out}$ に対して高い方のダイナミックレンジと低い方のダイナミックレンジが不均一になり、この後、シークを行うと、データ転送レートの変化に対して安定にPLLループがロックされなくなる。

【0085】そこで、システムコントローラは、制御命令C-CODEによりディスクの回転数を下げると同時に、ディスクの回転数を下げた後のVCOの出力周波数 $f_{out}$ がセンター周波数となるように特性を変化させる。

【0086】即ち、CFVをVRよりも上げることにより、図7及び図8に示した遅延回路で構成したリング発振器のPチャネル型MOSトランジスタP1のゲート電位が上がり、遅延回路1段あたりの遅延時間が長くなる。その結果、（a）の特性は、周波数が低い側にシフトし、（c）に示す特性となる。

【0087】従って、この状態から、ディスクの偏心などに起因する定常状態からのシーク動作が行われても、入力データレートの約±50%の変化に対してPLLループをロックさせることができる。

【0088】図9は、システムコントローラの制御命令C-CODEとCFV電圧の関係を示すものである。また、図10は、システムコントローラの制御命令C-CODEとVCOセンター周波数VC（C-CODEが“8”においてVC=VRとする）の関係を示すもので



ある。

【0089】これらの図からわかることは、システムコントローラからの制御命令C-CODEにより、ディスクの回転速度を微妙かつ連続的に変化させると同時に、制御電圧CFVを変え、かつ、VCOのセンター周波数VCの値を変えていることである。

【0090】即ち、所定のディスクの回転速度（入力データレート）におけるPLL回路のVCOの出力周波数f<sub>out</sub>が常にVCOのセンター周波数VCとなるように制御電圧CFVを設定している。これにより、常に、入力データレートの約±50%の変化に対して、PLLループをロックさせることができるようになる。

【0091】

【発明の効果】以上、説明したように、本発明の再生装置によれば、次のような効果を奏する。可変速再生技術を前提とし、かつ、再生速度を2<sup>n</sup>倍のとびとびの値ではなく、システムコントローラからの制御命令C-CODEで微妙かつ連続的に変化させるようにしている。

【0092】同時に、再生速度が変化しても、常にVCOの出力周波数がセンターに位置するような特性を持たせることで、そのセンター周波数に対して±50%の可変幅を持たせることができ、可変速再生技術を実効あらしめることができる。

【0093】従って、再生するディスク（CD-ROM）に許容できる最高の再生速度でデータを読み出すことができるようになり、シーク時においてもそのキャブチャレンジを広くとることができる。

【0094】また、本システムを動作させることで、ディスクごとに、最適なエラー率で高速回転させることができるため、安定に、高速再生動作及び高速シーク動作を行うことができるドライブ装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に関わる再生装置を示す回路図。

【図2】図1のディスクモータ制御回路の構成の一例を示す図。

【図3】図2の回路の特性を示す図。

【図4】制御命令C-CODEとディスクスピードの関係を示す図。

【図5】図1のPLL及び同期信号分離回路の構成の一例を示す図。

【図6】図5のVCOの特性を示す図。

【図7】図5のVCOの構成の一例を示す図。

【図8】図7の回路の一部の等価回路を示す図。

【図9】制御命令C-CODEとCFV電圧の関係を示す図。

【図10】制御命令C-CODEとVCOのセンター周波数の関係を示す図。

【図11】従来の再生装置を示す回路図。

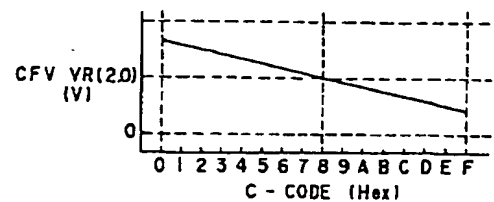
【符号の説明】

11	: ディスク、
12	: ピックアップヘッド、
13, 19	: アンプ、
14	: データスライス回路、
15, 30	: PLL及び同期信号分離回路、
16	: エラー訂正回路、
17	: 訂正用RAM、
18	: CD-ROMデコーダ、
20	: ピックアップサーボ回路、
21	: ピックアップ送りモータ、
22, 31	: ディスクモータ制御回路、
23	: ドライバ、
24	: ディスクモータ、
25	: クロック発生回路、
26	: マイコンインターフェイス、
27	: オーディオ用D/A変換器、
28	: ホストコンピュータ、
29	: システムコントローラ、
32	: D/A変換器、
33	: クロックセレクタ、
40	: 位相比較器、
41	: TMAX検出器、
42	: ローパスフィルタ、
43	: VCO（電圧制御発振器）、
44, 46	: 分周器、
45, 51	: セレクタ、
52, 57	: タイミングジェネレータ、
53	: アップカウンタ、
54	: デコーダ、
55	: PWM変換回路、
56	: プリセットデータデコーダ。

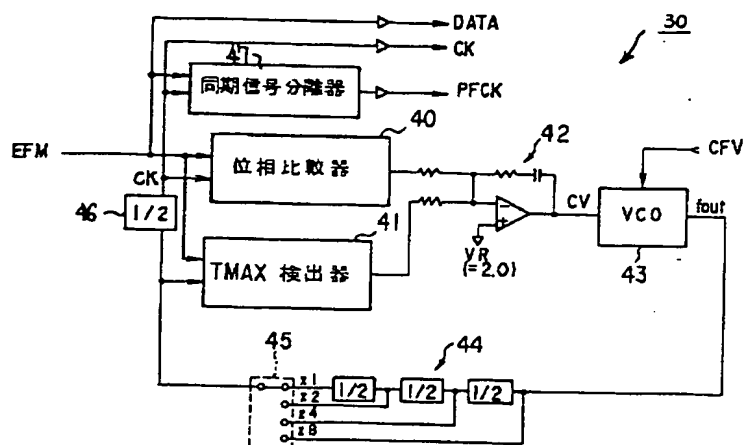
【图 1】



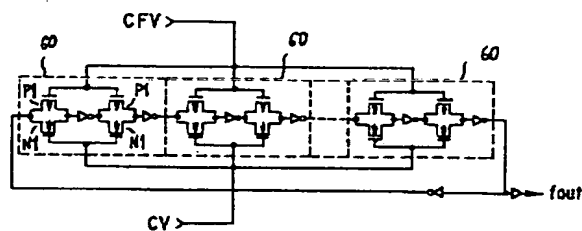
【图 8】



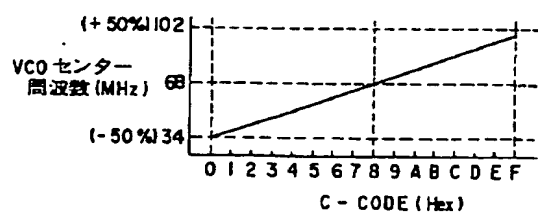
【図 5】



【図 7】



【図 10】



【図 11】

